



KM1102は、業界で初めて16分割を実現した「エンコーダ用LSI」です。エンコーダ等の2相正弦波を入力として、その間を抵抗分割し、得られる分割電圧を補正させ、振幅を入力波に一致させ、論理演算を施すことにより入力の位相変化に比例したデジタル出力を提供するLSIです。光学式、磁気式およびレーザー式のエンコーダの高性能化、高分解能化を可能にするLSIです。

KM1102 is the first LSI in the world which has realized the 16 interpolation digital output (64 edges per one sine period) proportioned to the input phase electrically for the encoder application. KM1102 uses the theory of "a Phase Voltage Conversion Method by Resistor ladder" and so well organized, high planerized precious poli-silicon Resistor arrays results in the high resolution "Photo-Encoder", "Magnetic Encoder" and "Laser Encoder".

▶ 特長 FEATURES

- システムクロック不要  
System clock unnecessary
- アナログ2相入力、デジタル2相出力  
2 phase analog-inputs/2 phase digital outputs
- TTL Z相入力、CMOS Z相出力  
TTL Z phase input/CMOS Z phase output
- 分割誤差 <10%,<20%,<30%  
Interpolation error:<10%,<20%,<30%
- 累積分割誤差 <15%,<25%,<35%  
Accumulated interpolation error:<15%,<25%,<35%
- 電源電圧 5V  
Supply voltage:5V
- 平均消費電力 40mW  
Average Power consumption:40mW/ave.
- 出力駆動電流 8mA  
Output driving current:8mA
- 内部差動回路採用  
Build in differential circuit
- 鉛フリー対応  
Lead free

▶ 最大定格 MAXIMUM RATINGS

(Ta = 25 °C)

Item	Symbol	Rating	Unit
電源電圧	Supply voltage	V <sub>cc</sub>	7 V
動作温度	Operating temp.	Topr.	- 40 ~ + 125
保存温度	Storage temp.	Tstg.	- 40 ~ + 125
入力電圧	Input voltage	V <sub>i</sub>	- 0.5 ~ + 0.5 V
リフロー温度	Reflow temp.	Tsol.	260

▶ KM1102シリーズ

Parts Number	Interpolations	Package Type
KM1102-N04S14	2 or 4	SSOP14
KM1102-N08S14	8	SSOP14
KM1102-N16S14	16	SSOP14
KM1102-NECS14	2,4,8 or 16	SSOP14
KM1102-NECL14	2,4,8 or 16	LNC14

注)規格は各Interpolationsの値を参照  
refer to the each value of same interpolation factor.

▶ 電気的光学的特性 ELECTRO-OPTICAL CHARACTERISTICS

(V<sub>cc</sub>=5V, V<sub>in</sub>=2V<sub>pp</sub>, V<sub>offset</sub>=2V, V<sub>ref</sub>=2V, F<sub>in</sub>=1kHz, 分割=16, Ta = 25 °C)

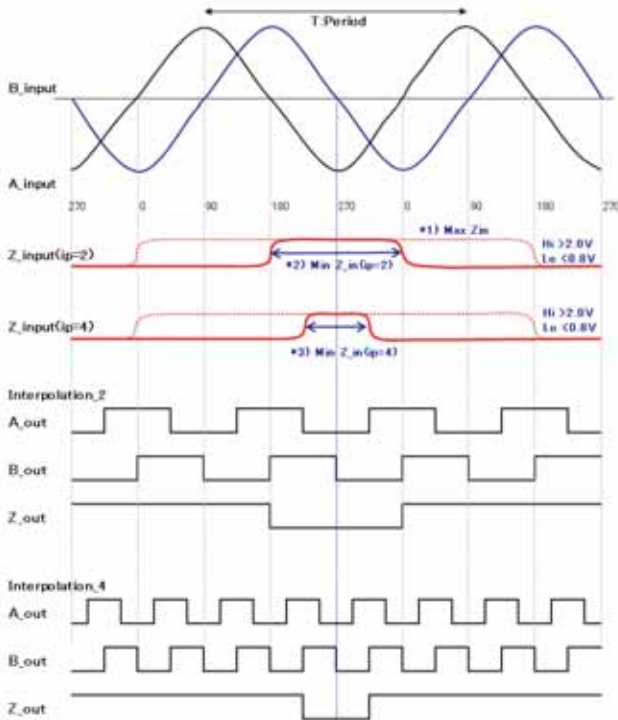
Item	Symbol	Conditions	Min.	Typ.	Max.	Unit.
分割誤差(Max-Min) Interpolation error	E <sub>i</sub>	A <sub>i</sub> =sine, B <sub>i</sub> =cosine V <sub>i_pp</sub> =2V			10 20 30	%
累積分割誤差(Max-Min) Accumulated interpolation error	E <sub>ai</sub>	A <sub>i</sub> =sine, B <sub>i</sub> =cosine V <sub>i_pp</sub> =2V			15 25 30 35	%
デューティ比 Duty ratio	D50	A <sub>i</sub> =sine, B <sub>i</sub> =cosine		± 3	± 5	%
消費電流 Consumption current	I <sub>vdd</sub>	A <sub>i</sub> =3V, B <sub>i</sub> =2V	5	8	10	mA
入力信号 Input signal	F <sub>in</sub>	A <sub>i</sub> =sine, B <sub>i</sub> =cosine		200		kHz
				100		kHz
	V <sub>i_pp</sub>	A <sub>i</sub> =sine, B <sub>i</sub> =cosine	1	2	3	V <sub>pp</sub>
入力電圧(Hi) Input voltage(Hi)	V <sub>ih</sub>	TTL Hi	2			V
入力電圧(Lo) Input voltage(Lo)	V <sub>il</sub>	TTL Lo			0.8	V
出力電圧(Hi) Output voltage(Hi)	V <sub>oh</sub>	I <sub>oh</sub> =4mA	4.5	4.6		V
出力電圧(Lo) Output voltage(Lo)	V <sub>ol</sub>	I <sub>ol</sub> =8mA		0.35	0.5	V

本資料に記載しております内容は、技術の改良、進歩等によって予告なしに変更されることがあります。ご使用の際には、仕様書をご用命のうえ、内容の確認をお願い致します。

The contents of this data sheet are subject to change without advance notice for the purpose of improvement. When using this product, would you please refer to the latest specifications.

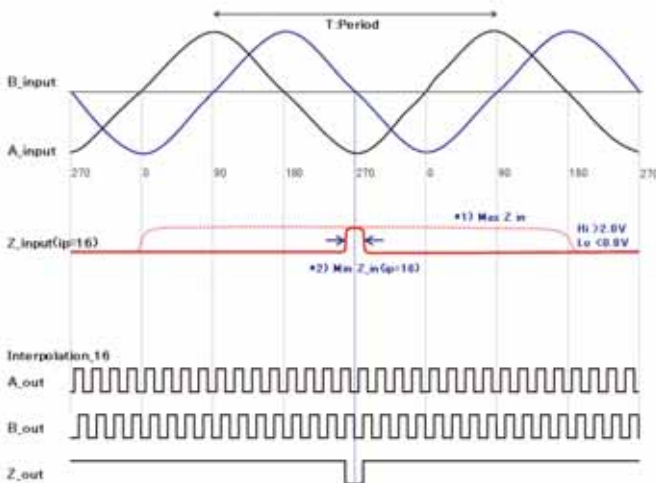
タイミングダイアグラム Timing Diagrams

Timing Diagram of interpolation 2 and 4



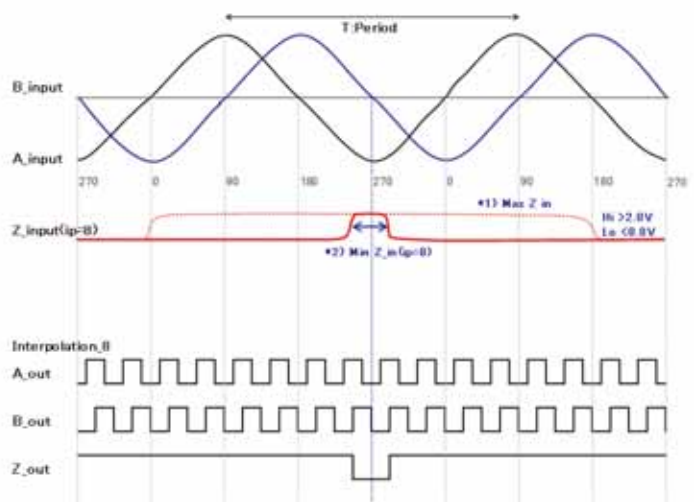
Note  
 \*1) Max. allowable H\_level for Zi is  $1.5 \cdot T$ .  
 \*2) When ip is 2, minimum  $Z_{in} \leq H$  required for specified  $Z_{out}$  is  $T/2$ . Otherwise, smaller pulse results in  $Z_{out} < Z_{in}$ .  
 \*3) When ip is 4, minimum  $Z_{in} \leq H$  required for specified  $Z_{out}$  is  $T/4$ . Otherwise, smaller pulse results in  $Z_{out} < Z_{in}$ .

Timing Diagram of interpolation of 16



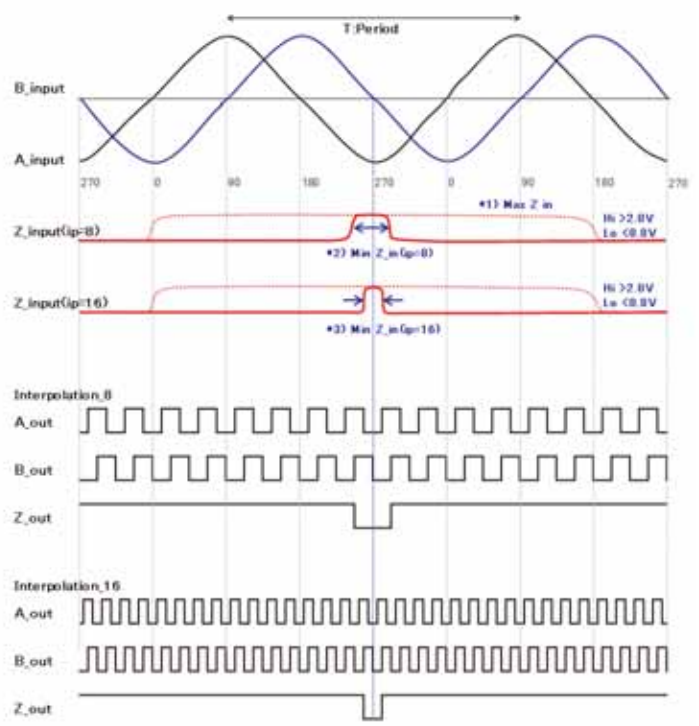
Note  
 \*1) Max. allowable H\_level for Zi is  $1.5 \cdot T$ .  
 \*2) When ip is 16, minimum  $Z_{in} \leq H$  required for specified  $Z_{out}$  is  $T/16$ . Otherwise, smaller pulse results in  $Z_{out} < Z_{in}$ .

Timing Diagram of interpolation of 8



Note  
 \*1) Max. allowable H\_level for Zi is  $1.5 \cdot T$ .  
 \*2) When ip is 8, minimum  $Z_{in} \leq H$  required for specified  $Z_{out}$  is  $T/8$ . Otherwise, smaller pulse results in  $Z_{out} < Z_{in}$ .

Timing Diagram of interpolation 8 and 16



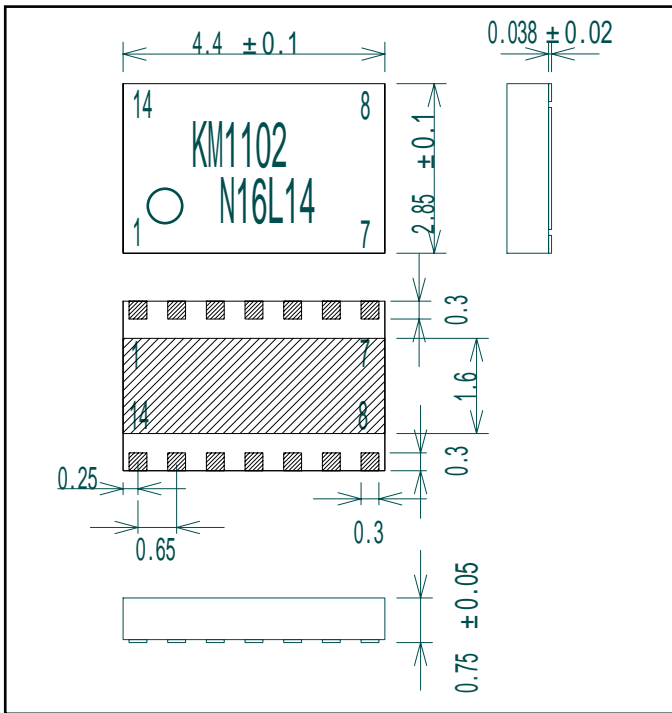
Note  
 \*1) Max. allowable H\_level for Zi is  $1.5 \cdot T$ .  
 \*2) When ip is 8, minimum  $Z_{in} \leq H$  required for specified  $Z_{out}$  is  $T/8$ . Otherwise, smaller pulse results in  $Z_{out} < Z_{in}$ .  
 \*3) When ip is 16, minimum  $Z_{in} \leq H$  required for specified  $Z_{out}$  is  $T/16$ . Otherwise, smaller pulse results in  $Z_{out} < Z_{in}$ .

本資料に記載しております内容は、技術の改良、進歩等によって予告なしに変更されることがあります。ご使用の際には、仕様書をご用命のうえ、内容の確認をお願い致します。

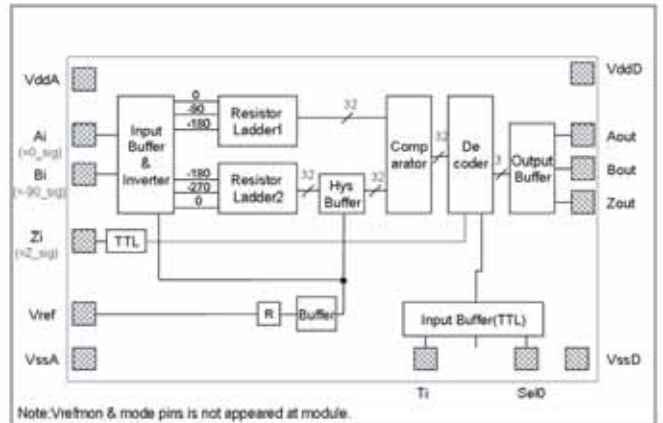
The contents of this data sheet are subject to change without advance notice for the purpose of improvement. When using this product, would you please refer to the latest specifications.

エンコーダ用16分割LSI 16 interpolation LSI for encoder

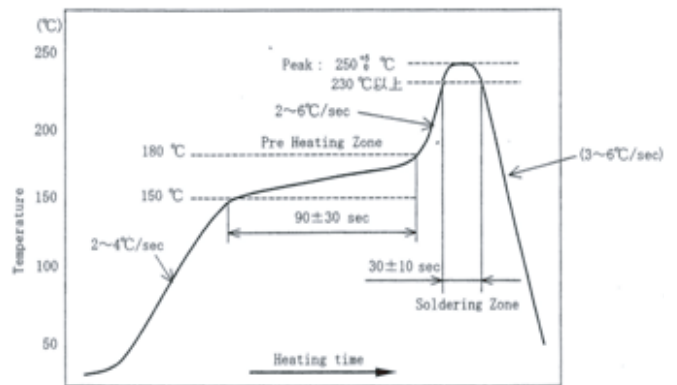
▶ 外形寸法 DIMENSIONS (Unit : mm)



▶ ブロックダイアグラム Block Diagram



▶ リフロープロファイル



▶ 端子配列 PIN ASSIGNMENT

Pin No.	KM1102-N04x14	KM1102-N08x14	KM1102-N16x14	
1	VddA	VddA	VddA	アナログ電源 ( 5V )
2	Vref	Vref	Vref	参照電圧バッファ入力
3	Ai	Ai	Ai	A相アナログ入力
4	Bi	Bi	Bi	B相アナログ入力
5	Zi	Zi	Zi	Z相TTLロジック入力
6	NA	NA	NA	分割率切換 MSB (Sel1)
7	Sel0	NA	NA	分割率切換 LSB (Sel0)
8	VddD	VddD	VddD	デジタル電源 ( 5V )
9	Zo	Zo	Zo	Z相分割出力
10	Bo	Bo	Bo	B相分割出力
11	Ao	Ao	Ao	A相分割出力
12	VssD	VssD	VssD	デジタル・グランド
13	Ti	Ti	Ti	テスト入力
14	VssA	VssA	VssA	アナログ・グランド

▶ 分割数の設定方法

分割数	Sel1	Sel0
2	Gnd	Gnd
4	Gnd	Vdd
8	Vdd	Gnd
16	Vdd	Vdd

Vddはオープンでも同等

問い合わせ先/A REFERENCE

URL <http://www.kodenshi.co.jp>

東京営業/TOKYO SALES  
 京都営業/KYOTO SALES  
 海外/OVERSEAS

TEL 03-5496-4711 FAX 03-5496-4710  
 TEL 0774-20-3559 FAX 0774-24-1031  
 TEL +81-(0)774-24-1138 FAX +81-(0)774-24-1031

本資料に記載しております内容は、技術の改良、進歩等によって予告なしに変更されることがあります。ご使用の際には、仕様書をご用命のうえ、内容の確認をお願い致します。

The contents of this data sheet are subject to change without advance notice for the purpose of improvement. When using this product, would you please refer to the latest specifications.